

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05048073
PUBLICATION DATE : 26-02-93

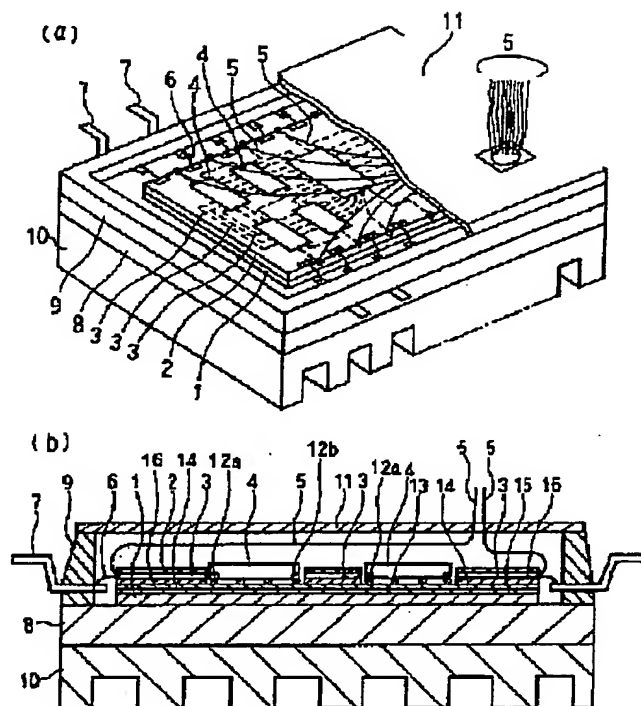
APPLICATION DATE : 14-08-91
APPLICATION NUMBER : 03204302

APPLICANT : HITACHI LTD;

INVENTOR : IMAMURA YOSHINORI;

INT.CL. : H01L 27/15 G02B 6/12 G02B 6/42
H01L 23/538 H01L 25/04 H01L 25/16
H01L 25/18 H01L 27/14 H01L 31/12
H01L 33/00

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To provide a multichip method of semiconductor device where the delay in signal transmission by the resistance, the capacity, and the inductance of the electric wiring between chips.

CONSTITUTION: A light waveguide 3 and metallic wiring 14 are made on an Si substrate 1. An optoelectronic integrated circuit chip 4, where a photodiode 12a, a laser diode 12b and an electronic integrated circuit are arranged on the same chip, is stuck to this Si substrate 1, and besides a chip 4 is positioned so that photodiode 12a and the laser diode 12b and an optical waveguide 3 may be connected electrically, and that the metallic wiring 14 on the Si substrate and the bonding pad on the chip may be electrically connected.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-48073

(43) 公開日 平成5年(1993)2月26日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/15		8934-4M		
G 0 2 B 6/12	B	7036-2K		
6/42		7132-2K		
		7220-4M	H 0 1 L 23/52	A
		7220-4M	25/04	Z

審査請求 未請求 請求項の数6(全 6 頁) 最終頁に続く

(21) 出願番号 特願平3-204302

(22) 出願日 平成3年(1991)8月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 近藤 将夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 堀内 勝忠

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 今村 慶憲

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

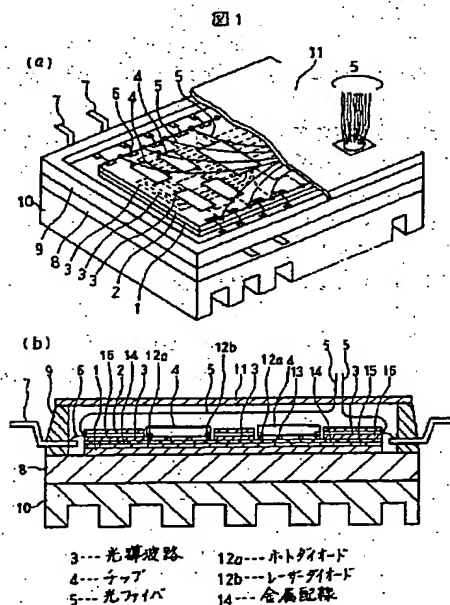
(74) 代理人 弁理士 藤田 利幸 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 チップ間の電気配線の抵抗、容量、インダクタンスによる信号伝達遅延をなくしたマルチチップ方式の半導体装置を提供すること。

【構成】 S i 基板1上に、光導波路3、金属配線14が形成されている。ホトダイオード12a、レーザーダイオード12bと電子集積回路を同じチップ上に配置した光電子集積回路チップ4がこのS i 基板1に貼り付けられ、かつ、チップ4は、ホトダイオード12a、レーザーダイオード12bと光導波路3が光学的に接続するように、またS i 基板1上の金属配線14とチップ上のボンディングパッドが電氣的に接続するように位置合わせされている。



【特許請求の範囲】

【請求項1】電子素子集積回路と光素子とが同一基板上に設けられた光電子集積回路のチップの複数個が配置され、かつ光導波路が設けられた支持基板を有し、該チップは、該光素子と該光導波路とが光学的に接続する位置に配置されたことを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、上記支持基板の光導波路の上層又は下層に、配線層を有することを特徴とする半導体装置。

【請求項3】請求項2記載の半導体装置において、上記配線層は上記チップの電極と電気的に接続されることを特徴とする半導体装置。

【請求項4】請求項1、2又は3記載の半導体装置において、上記支持基板は、上記光導波路の複数の層を有することを特徴とする半導体装置。

【請求項5】支持基板上に、(1)電子素子集積回路と光素子とが同一基板上に設けられた光電子集積回路のチップの複数個、(2)所望のパターンの光導波路及び(3)所望のパターンの配線層が配置され、かつ、該チップの光素子と該光導波路とが光学的に接続され、該チップの配線と該配線層とは電気的に接続されることを特徴とする半導体装置。

【請求項6】請求項5記載の半導体装置において、上記支持基板は、上記光導波路の複数の層を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、大型計算機の中央演算処理部(CPU)等に用いられるマルチチップ方式の半導体装置に関する。

【0002】

【従来の技術】従来の大型計算機のCPU等に用いられるマルチチップ方式の半導体装置については、例えば「超高速バイポーラデバイス」(培風館、昭和60年)240頁に記載されており、図5に示すような構造である。すなわち、金属配線14が形成されたS1基板1上に、S1集積回路チップ19がはんだバンプを介して貼り付けられた構造となっている。また、金属配線14はボンディングワイヤ6によってリードフレーム7を有するS1C基板8と電気的に接続する。

【0003】

【発明が解決しようとする課題】上記従来技術における半導体装置内のS1集積回路チップ19間の信号伝送は金属配線14によって行われている。システムの処理速度を決める要因としては、S1集積回路チップ自体の演算速度のほかに、S1集積回路チップ間配線の抵抗、容量、インダクタンスによって信号伝達が遅れるいわゆる配線遅延がある。システムの規模が大きくなるとS1集積回路チップ数が多くなると配線の数、長さが増加するため、システム全体の遅延の中でこの配線遅延が占める

割合が増大するという問題があった。本発明の目的は、配線遅延を減少させたマルチチップ方式の半導体装置を提供することにある。

【0004】

【課題を解決するための手段】上記目的は、(1)電子素子集積回路と光素子とが同一基板上に設けられた光電子集積回路のチップの複数個が配置され、かつ光導波路が設けられた支持基板を有し、該チップは、該光素子と該光導波路とが光学的に接続する位置に配置されたことを特徴とする半導体装置、(2)上記1記載の半導体装置において、上記支持基板の光導波路の上層又は下層に、配線層を有することを特徴とする半導体装置、

(3)上記2記載の半導体装置において、上記配線層は上記チップの電極と電気的に接続されることを特徴とする半導体装置、(4)上記1、2又は3記載の半導体装置において、上記支持基板は、上記光導波路の複数の層を有することを特徴とする半導体装置、(5)支持基板上に、(1)電子素子集積回路と光素子とが同一基板上に設けられた光電子集積回路のチップの複数個、(11)所望のパターンの光導波路及び(111)所望のパターンの配線層が配置され、かつ、該チップの光素子と該光導波路とが光学的に接続され、該チップの配線と該配線層とは電気的に接続されることを特徴とする半導体装置、(6)上記5記載の半導体装置において、上記支持基板は、上記光導波路の複数の層を有することを特徴とする半導体装置によって達成される。

【0005】

【作用】本発明は、電子素子が集積された半導体基板上にレーザーダイオード、ホトダイオード等の光素子を配置した光電子集積回路のチップを用い、チップ間の信号伝送を電気配線で行なう代りに光信号を光導波路に通して行なうため、チップ間配線の抵抗、容量、インダクタンスに起因する遅延がなくなる。また光信号を伝送する光導波路は従来の電気配線と同様にフォトリソグラフィによってパターンニングされるため製造歩留まり及び信頼性に優れている。

【0006】

【実施例】実施例1

本発明の第1の実施例の半導体装置を図1により説明する。図1(a)はこの半導体装置の全体図で、図1(b)はその断面図である。S1基板1の表面に、S1O₂膜15、その上に金属配線14が形成されており、さらにその上に誘電体の窒化Si(SiN)膜の細線よりなる光導波路3がS1O₂膜16とS1O₂膜2の間に挟み込まれて設けられている。この光導波路3等の層が除去された領域に、S1集積回路と光素子とが同一基板上に形成された光電子集積回路のチップ4が貼り付けられ、光導波路3とチップ4上のホトダイオード12a、レーザーダイオード12bとは光学的に接続するように位置合わせされている。またチップ4上の電気配線は、

3

ボンディングパッド上に形成されたはんだパンブ13を介してSi基板1上の金属配線14と電気的に接続されている。

【0007】光導波路3はSi基板1の端まで達してそこで光ファイバー5と結合し、その光ファイバー5はパッケージのキャップ11に設けられた孔を通してパッケージ外に出ている。Si基板1上の金属配線14はSi基板1に設けられたボンディングパッドまで達し、そこからボンディングワイヤ6によってリードフレーム7に接続されている。なお、図において、8はSiC基板、9はムライト枠、10は放熱フィンである。

【0008】次に本実施例の半導体装置の動作を説明する。まず外部から光信号が光ファイバー5とそれに結合した光導波路3を通してパッケージ内のあるチップ4の入力用のホットダイオード12aに送られ、そこで電気信号に変換される。次にその信号はそのチップ内で演算処理され、その結果が出力用のレーザーダイオード12bに送られそこで再び光信号に変換される。さらにその光信号は光導波路3を通して他のチップ4の入力用のホットダイオード12aに送られる。そのチップにおいてまた演算処理が行なわれて、その結果が出力用のレーザーダイオード12bと光導波路3を通してさらに別のチップ(図示せず)に送られる。最後にチップから出た光信号は、光導波路3と接続した光ファイバー5を通してパッケージ外に出ていく。

【0009】次に本実施例の半導体装置の製造方法について、特にチップ4とSi基板1上の光導波路3及び金属配線14との接続部分に関して、その部分の断面を拡大した図2により説明する。本半導体装置のその他の部分の製造方法は、従来の方法と基本的に同じである。まずSiO₂膜15が形成されたSi基板1上に金属膜を蒸着法により堆積し、ホトリソグラフィとエッチングにより金属配線14を形成した後、プラズマ気相成長法によりSiO₂膜16を堆積する(図2(b))。次に誘電体の空化Si(SiN)膜をプラズマ気相成長法により堆積し、ホトリソグラフィとエッチングによりパターンニングして光導波路3を形成する(図2(c))。

【0010】さらに、プラズマ気相成長法によりSiO₂膜2を堆積した後、チップ4が貼り付けられる部分のSiO₂膜2をホトリソグラフィとエッチングにより選択的に除去する。さらにボンディングパッドが形成されている部分のSiO₂膜16をホトリソグラフィとエッチングにより選択的に除去し、ボンディングパッド上に通常の方法によりはんだパンブ13を形成する(図2(d))。

【0011】最後に、表面にホットダイオード12a、レーザーダイオード12bとはんだパンブ13が形成されたチップ4をSi基板1上にパンブ同士の結合によって取付ける。その場合、ホットダイオード12a、レーザーダイオード12bが光導波路3に光学的に接続するよう

4

に、またチップ4上のはんだパンブ13がSi基板1上のはんだパンブ13と電気的に接続するように位置合わせし固定する(図2(e))。以下通常の方法によって、(図2(a))に示した半導体装置が製造できた。

【0012】本半導体装置ではチップ間の信号のやりとりが光導波路を通して光信号によって行なわれるため、電気信号による場合の配線の抵抗、容量、インダクタンスによる信号伝達遅延がなくなり、システムの演算処理速度が向上するという効果がある。また光信号を伝送する光導波路は従来の電気配線と同様にフォトリソグラフィによってパターンニングされるため、電気配線と同等の製造歩留まり及び信頼度が得られた。

【0013】実施例2

次に本発明の第2の実施例の半導体装置及びその製造方法を図3により説明する。図3は本実施例の半導体装置の主要部分の断面図及びその製造工程を説明する断面図である。図3(a)において、1はSi基板、18はLiNbO₃基板、3はLiNbO₃基板に選択的にTiを拡散することにより形成した光導波路である。16はSiO₂膜、4はSi集積回路とホットダイオード12a、レーザーダイオード12bが同一基板上に形成されたチップ、14は金属配線である。本半導体装置においても第1の実施例と同様、ホットダイオード12a、レーザーダイオード12bと光導波路3は光学的に接続しており、またチップ4上の電極パッドと金属配線14は電気的に接続している。

【0014】次に本半導体装置の製造方法を説明する。まずLiNbO₃基板18上にホトリソグラフィ及びTiの熱拡散により光導波路3を形成する。すなわちLiNbO₃基板18上にSiO₂膜を形成し、ホトレジストパターンを用いてSiO₂膜をエッチングしてパターンとし、ホトレジストを除去、表面にTiを蒸着してさらに熱拡散し、次にSiO₂膜パターンとTiを除去、拡散したTiにより光導波路3を形成する。次にSi基板1と、光導波路3が形成されたLiNbO₃基板18をはんだを接着剤として貼り合わせる(図3(b))。

【0015】次にホトリソグラフィとSiO₂膜16をマスクにしたエッチングによりLiNbO₃基板18の一部を選択的に除去した後、その凹部にはんだを接着材料として、光電子集積回路のチップ4を、光素子12と光導波路3が光学的に接続するように位置合わせしてSi基板1に貼り付ける(図3(c))。

【0016】次にチップ4とLiNbO₃基板18の隙間に透明な樹脂であるポリイミドを埋め込んだ後金属膜を蒸着法により堆積し、ホトリソグラフィとエッチングによりチップ4上の電極パッドからLiNbO₃基板18上に延びる金属配線14を形成する(図3(a))。本実施例の半導体装置の動作及び効果は本発明の第1の実施例の半導体装置と基本的に同じであった。

【0017】実施例3

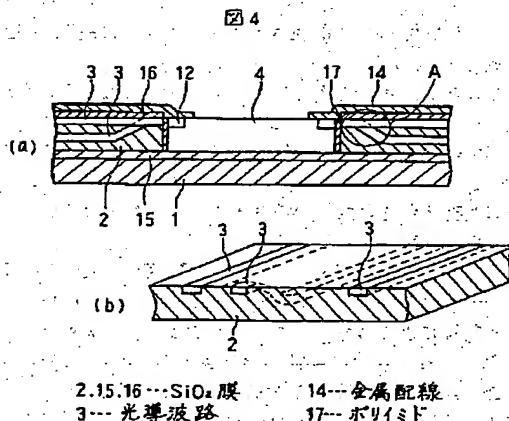
次に、本発明の第3の実施例の半導体装置を図4を用いて説明する。図4(a)はその主要部分の断面図、図4(b)はそのA部分の拡大斜視図である。本半導体装置の構造及び動作は、本発明の第2の実施例の半導体装置と基本的に同じであるが、光導波路3の構造が異なっている。すなわち、 SiO_2 膜2中に SiN 膜よりなる光導波路3が2層に形成されている。ただしホトダイオード12a、レーザーダイオード12bと光学的に接続する部分の光導波路3の端面はホトダイオード12a、レーザーダイオード12bと同じ高さに揃えられている。

【0018】この2層の光導波路3も単層の場合と同様にプラズマ気相成長による薄膜堆積とホトリソグラフィ及びエッチングを用いたパターンニングにより形成される。すなわち、まず、 SiO_2 膜2の一部を下層の光導波路3の下位置まで形成する。ついで下層の光導波路3となる SiN 膜のパターンを形成し、 SiO_2 膜2の一部分を形成し、上層の光導波路3となる SiN 膜のパターンを形成し、さらに光導波路3の間に SiO_2 膜2を設ける。本実施例の半導体装置によれば光導波路3が2層構造であるため交差及び積層が可能となり、配線のための自由度が増加してより複雑なチップ間の接続が可能になるようになった。

【0019】

【発明の効果】本発明によれば、マルチチップ方式の半導体装置のチップ間の電気配線の抵抗、容量、インダクタンスによる遅れがなくなるため、パッケージ内のシステムの演算処理速度が約50パーセント向上した。また光信号を伝送する光導波路は従来の電気配線と同様にフォトリソグラフィによってパターンニングされるため、電気配線と同等の製造歩留まり及び信頼度が得られた。

【図4】



【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の全体図及び縦断面図である。

【図2】本発明の第1の実施例の半導体装置の主要部分の縦断面図及びその製造方法を示す工程図である。

【図3】本発明の第2の実施例の半導体装置の主要部分の縦断面図及びその製造方法を示す工程図である。

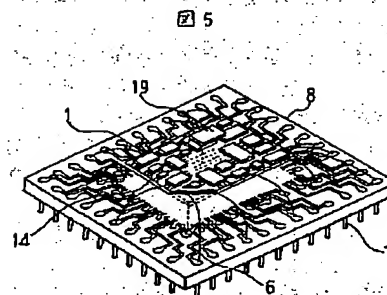
【図4】本発明の第3の実施例の半導体装置の主要部分の縦断面図と部分拡大斜視図である。

【図5】従来のマルチチップ方式の半導体装置の全体図である。

【符号の説明】

- 1 Si基板
- 2, 15, 16 SiO_2 膜
- 3 光導波路
- 4 チップ
- 5 光ファイバー
- 6 ボンディングワイヤ
- 7 リードフレーム
- 8 SiC基板
- 9 ムライト枠
- 10 放熱フィン
- 11 キャップ
- 12a ホトダイオード
- 12b レーザーダイオード
- 13 はんだバンプ
- 14 金属配線
- 17 ポリイミド
- 18 LiNbO_3 基板
- 19 Si集積回路チップ

【図5】



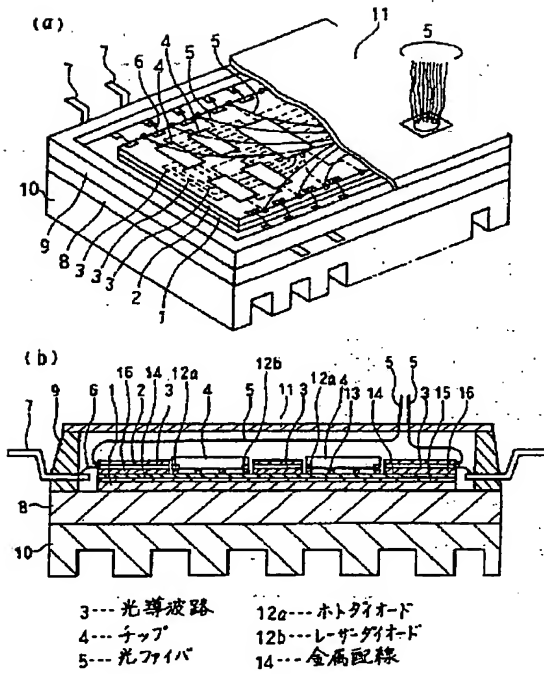
- 1...Si基板
- 5...ボンディングワイヤ
- 7...リードフレーム
- 8...SiC基板
- 14...金属配線
- 19...Si集積回路

(5)

特開平5-48073

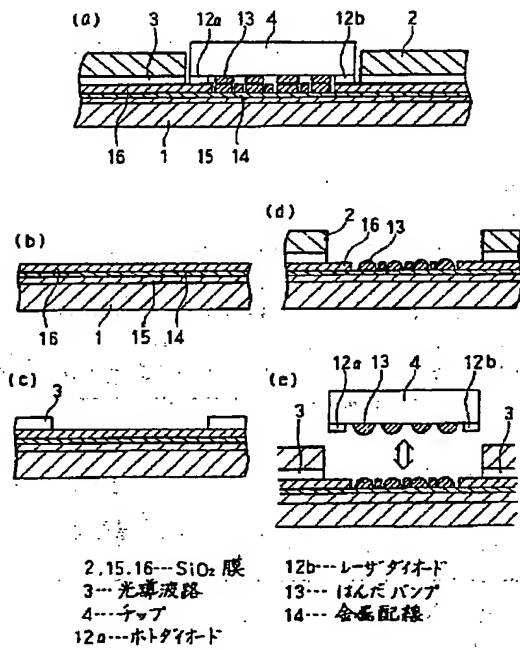
【図1】

図1



【図2】

図2

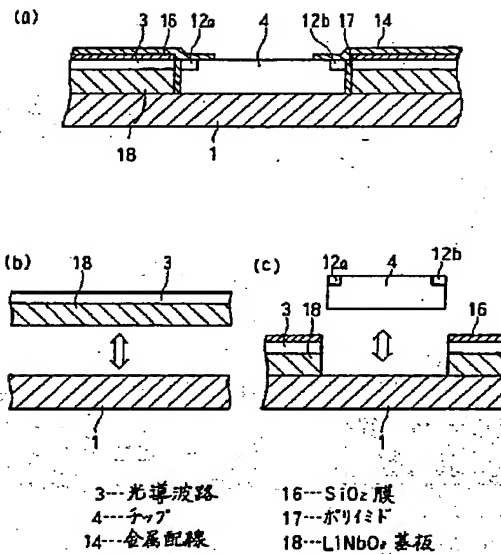


(6)

特開平5-48073

【図3】

図3



フロントページの続き

(51) Int. Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 23/538

25/04

25/16

25/18

27/14

31/12

33/00

H 0 1 S 3/18

H 0 3 K 3/42

A 7220-4M

J 7210-4M

J 8934-4M

9170-4M

A 7328-5 J

8223-4M

H 0 1 L 27/14

Z